

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-164871

(P2000-164871A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G
21/28	3 0 1	21/28	3 0 1 D

審査請求 未請求 請求項の数 7 O L (全 5 頁)

(21) 出願番号 特願平11-322986

(22) 出願日 平成11年11月12日 (1999. 11. 12)

(31) 優先権主張番号 1 9 9 8 / P 5 1 1 0 4

(32) 優先日 平成10年11月26日 (1998. 11. 26)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 張 世 億

大韓民国 京畿道 利川市 夫鉢邑 新河
里 148-1 番地 サムイク アパート
104-1210

(74) 代理人 100093399

弁理士 瀬谷 徹 (外1名)

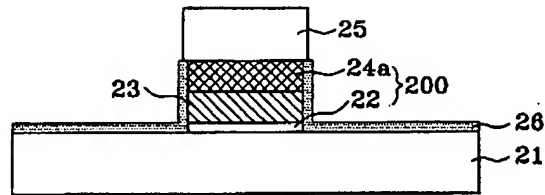
最終頁に続く

(54) 【発明の名称】 チタンポリサイド構造のゲート電極形成方法

(57) 【要約】

【課題】 本発明は、ゲート電極の再酸化工程の際、ゲート電極の異常酸化を防止すると共に、ゲート電極の抵抗を低減させることができるチタンポリサイド構造のゲート電極形成方法を提供する。

【解決手段】 半導体基板21の上にゲート酸化膜22、ポリシリコン膜23及びチタンシリサイド膜24を順次形成し、チタンシリサイド膜24の上にゲート電極の形状でマスク絶縁膜25を形成し、次に、マスク絶縁膜25をエッチングマスクとし、チタンシリサイド膜24及びポリシリコン膜23をエッチングしてゲート電極を形成し、基板を再酸化工程にて酸化し、前記ゲート電極の側壁及び前記基板表面の上に均一な厚さの酸化膜を形成する。尚、再酸化工程は750℃以下の温度でドライ酸化で行われ、また、再酸化工程は700乃至750℃の温度で行われ、酸化膜は膜厚30乃至60Å、望ましくは約50Åで形成されることを特徴とするチタンポリサイド構造のゲート電極形成方法が提供される。



【特許請求の範囲】

【請求項1】 半導体基板の上にゲート酸化膜、ポリシリコン膜及びチタンシリサイド膜を順次形成する段階；前記チタンシリサイド膜の上にゲート電極の形状でマスク絶縁膜を形成する段階；前記マスク絶縁膜をエッチングマスクとし、前記チタンシリサイド膜及びポリシリコン膜をエッチングしてゲート電極を形成する段階；及び、前記ゲート電極の側壁及び前記基板表面の上に均一な厚さの酸化膜を形成するために再酸化工程を用いて前記基板を酸化する段階とを有し、
前記再酸化工程は750℃以下の温度でドライ酸化で行われることを特徴とするチタンポリサイド構造のゲート電極形成方法。

【請求項2】 前記再酸化工程は700乃至750℃の温度で行われることを特徴とする請求項1記載のチタンポリサイド構造のゲート電極形成方法。

【請求項3】 前記酸化膜は膜厚30乃至60Åで形成されることを特徴とする請求項1記載のチタンポリサイド構造のゲート電極形成方法。

【請求項4】 前記酸化膜は膜厚約50Åで形成されることを特徴とする請求項3記載のチタンポリサイド構造のゲート電極形成方法。

【請求項5】 前記チタンシリサイド膜を形成する段階は、
前記ポリシリコン膜の上に非晶質のチタンシリサイド膜を蒸着する段階、および前記非晶質のチタンシリサイド膜を熱処理して結晶質のチタンシリサイド膜に相転移させる段階を含むことを特徴とする請求項1記載のチタンポリサイド構造のゲート電極形成方法。

【請求項6】 前記非晶質のチタンシリサイド膜は物理気相蒸着方式にて蒸着されることを特徴とする請求項5記載のチタンポリサイド構造のゲート電極形成方法。

【請求項7】 前記熱処理は急速熱処理工程で行われることを特徴とする請求項5記載のチタンポリサイド構造のゲート電極形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法に関し、特にポリシリコン膜とチタンシリサイド膜の積層構造からなるチタンポリサイド構造のゲート電極形成方法に関する。

【0002】

【従来の技術】一般に、MOSトランジスタのゲート電極はドーパしたポリシリコン膜を用いて形成してきた。しかし、半導体素子の高集積化により、ゲート電極を始めとして各種パターンが微細化しており、最近では0.15μm線幅以下まで微細化が進行している。これに伴い、通常のゲート電極材料として用いるドーパしたポリシリコンは、高い比抵抗特性のため、遅延時間が長くて高速動作が要求される素子には適用が難しいという問題

点があった。かかる問題点は、半導体装置が高集積化するにつれて深刻な問題となっている。このため、1GDRAM以上の半導体素子では、ポリシリコン膜とチタンシリサイド膜の積層構造からなるチタンポリサイド構造のゲート電極が主に用いられている。

【0003】図1乃至図5は従来のチタンポリサイド構造のゲート電極形成方法を説明するための断面図である。図1を参照すれば、半導体基板11の上にゲート酸化膜12を熱成長あるいは蒸着方式で形成し、ゲート酸化膜12の上にドーパしたポリシリコン膜13を形成する。次に、図2に示すように、ポリシリコン膜13の上にチタンシリサイドターゲット(TiSiX)を用いた物理気相蒸着(Physical Vapor Deposition; PVD)で非晶質のチタンシリサイド膜(TiSiX)14を蒸着する。次に、所定温度で数秒間急速熱処理(Rapid Thermal Processing; RTP)を行い、図3に示すように、非晶質のチタンシリサイド膜(TiSiX)14を結晶質(crystalline)のチタンシリサイド膜(TiSi2)膜14aに相転移(phase transformation)させる。

【0004】図4を参照すると、通常のSAC(self-aligned contact)工程などの後続工程のために、チタンシリサイド膜14aの上にゲート電極の形状でマスク絶縁膜15を形成する。ここで、マスク絶縁膜15は酸化膜または窒化膜で形成する。次に、マスク絶縁膜15をエッチングマスクとし、チタンシリサイド膜14a及びポリシリコン膜13をエッチングしてゲート電極100を形成する。

【0005】図5を参照すると、エッチングによる損傷を除去しかつゲート酸化膜12の信頼性を回復させるために、図4の構造は再酸化工程で酸化されてゲート電極100の側壁及び基板11表面の上に酸化膜16を形成する。ここで、再酸化工程は一般的に800℃以上の温度で熱酸化工程で行われる。

【0006】

【発明が解決しようとする課題】しかしながら、前記再酸化工程の際、チタンシリサイド膜14aの高速酸化により、ゲート電極100のチタンシリサイド膜14aの側壁が酸化し過ぎることで、図5に示すように、ゲート電極100をなすチタンシリサイド膜14aの線幅が減少し、ゲート電極100の形態(morphology)が変形される。これに伴い、ソース及びドレイン形成のための不純物イオン注入工程を行うのが難しくなり、かつゲート電極100の抵抗が増加し、その結果、素子の信頼性が低下する。

【0007】そこで、本発明は、ゲート電極の再酸化工程の際、ゲート電極の異常酸化(abnormal oxidation)を防止すると共に、ゲート電極の抵抗を低減させることができるチタンポリサイド構造のゲート電極形成方法を提供することを目的とする。

【0008】

【課題を解決するための手段】前記本発明の目的を達成するために、本発明によれば、半導体基板の上にゲート酸化膜、ポリシリコン膜及びチタンシリサイド膜を順次形成し、チタンシリサイド膜の上にゲート電極の形状でマスク絶縁膜を形成する。次に、マスク絶縁膜をエッチングマスクとし、チタンシリサイド膜及びポリシリコン膜をエッチングしてゲート電極を形成し、基板を再酸化工程にて酸化し、前記ゲート電極の側壁及び前記基板表面の上に均一な厚さの酸化膜を形成することを特徴とするチタンポリサイド構造のゲート電極形成方法が提供される。尚、再酸化工程は750℃以下の温度でドライ酸化で行われる。また、再酸化工程は700乃至750℃の温度で行われ、酸化膜は膜厚30乃至60Å、望ましくは約50Åで形成されることを特徴とするチタンポリサイド構造のゲート電極形成方法が提供される。

【0009】

【発明の実施の形態】次に、本発明にかかる、チタンポリサイド構造のゲート電極形成方法の実施の形態の具体例を図面を参照しながら説明する。図6乃至図10は本発明の実施例によるチタンポリサイド構造のゲート電極形成方法を説明するための断面図である。

【0010】図6を参照すると、半導体基板21の上に熱成長あるいは蒸着方式にてゲート酸化膜22を形成し、ゲート酸化膜22の上にドーパしたポリシリコン膜23を蒸着する。次に、図7に示すように、ポリシリコン膜23の上にチタンシリサイドターゲット(TiSiX)を用いた物理気相蒸着にて非晶質のチタンシリサイド膜(TiSiX)24を蒸着する。次に、所定温度で数秒間急速熱処理を行い、図8に示すように、非晶質のチタンシリサイド膜(TiSiX)24を結晶質のチタンシリサイド膜(TiSi2)24aに相転移させる。

【0011】図9を参照すると、通常のSAC工程などの後続工程のために、チタンシリサイド膜24aの上にゲート電極の形状でマスク絶縁膜25を形成する。ここで、マスク絶縁膜25は酸化膜または窒化膜で形成する。次に、マスク絶縁膜25をエッチングマスクとし、チタンシリサイド膜24a及びポリシリコン膜23をエッチングしてゲート電極200を形成する。

【0012】図10を参照すると、エッチングによる損傷を除去しつつゲート酸化膜22の信頼性を図るために、図9の構造を再酸化工程にて酸化し、ゲート電極200の側壁及び基板21の表面の上に酸化膜26を形成する。このとき、酸化膜26を均一な厚さで形成するために、チタンシリサイド膜24aとポリシリコン膜23の酸化速度が一致する温度範囲で再酸化工程を行う。

【0013】例えば、700℃、750℃、800℃、850℃の温度でそれぞれ再酸化工程を行った結果、800℃と850℃ではチタンシリサイド膜24aの酸化速度がポリシリコン膜23よりも高くなり、従来(図5

参照)のようにチタンシリサイド膜24aの側壁が酸化し過ぎる現象を発生させる。反面、700℃と750℃ではチタンシリサイド膜24aとポリシリコン膜23の酸化速度がほぼ一致して、図10に示すように、ゲート電極200の側壁に酸化膜26が均一に形成される。

【0014】図11は上記実験による温度の逆数(1/T)に対するポリシリコン膜23とチタンシリサイド膜24aの酸化速度(oxidation rate)を示すグラフである。図11に示されるように、温度が増加するほどチタンシリサイド膜24aの酸化速度も増加し、750℃以下でポリシリコン膜23とチタンシリサイド膜24aの酸化速度がほぼ一致することが分かる。しかし、700℃以下ではあまり酸化速度が遅くて工程時間が長くなる。このため、再酸化工程は700乃至750℃で行うことが望ましい。

【0015】また、例えば700℃、750℃、800℃の温度で再酸化工程をそれぞれウェット酸化で行った結果、700℃と750℃では図10に示すように、ポリシリコン膜23とチタンシリサイド膜24aの側壁に割に均一に酸化膜26が形成される。反面、800℃ではチタンシリサイド膜24aの酸化速度が速くなり、従来(図5参照)のようにチタンシリサイド膜24aの側壁が酸化し過ぎる現象を発生させる。しかし、ウェット酸化はドライ酸化に比べて、酸化均一度が劣化しかつ酸化速度が速いので、再酸化工程はドライ酸化で行うことが望ましい。

【0016】上記実験結果により、再酸化工程を700乃至750℃でドライ酸化で行うことがもっとも望ましいものであり、結果として、均一な厚さの酸化膜26を形成する。さらに、酸化膜26は膜厚30乃至60Å、望ましくは50Åで形成される。

【0017】尚、本発明は、本実施例に限られるものではない。本発明の趣旨から逸脱しない範囲内で多様に変更実施することが可能である。

【0018】

【発明の効果】本発明によれば、チタンシリサイド膜とポリシリコン膜の酸化速度が一致する温度範囲で再酸化工程をドライエッチングで行うことで、チタンシリサイド膜の過度な酸化が防止される。これに伴い、ゲート電極の異常酸化が防止され、ソース及びドレイン形成のための不純物イオン注入工程が容易に行われ、ゲート電極の抵抗が低減される。その結果、素子の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】従来のチタンポリサイド構造のゲート電極形成方法を説明するための断面図である。

【図2】従来のチタンポリサイド構造のゲート電極形成方法を説明するための断面図である。

【図3】従来のチタンポリサイド構造のゲート電極形成方法を説明するための断面図である。

【図4】従来のチタンポリサイド構造のゲート電極形成方法を説明するための断面図である。

【図5】従来のチタンポリサイド構造のゲート電極形成方法を説明するための断面図である。

【図6】本発明にかかるチタンポリサイド構造のゲート電極形成方法の実施例を説明するための断面図である。

【図7】本発明にかかるチタンポリサイド構造のゲート電極形成方法の実施例を説明するための断面図である。

【図8】本発明にかかるチタンポリサイド構造のゲート電極形成方法の実施例を説明するための断面図である。

【図9】本発明にかかるチタンポリサイド構造のゲート電極形成方法の実施例を説明するための断面図である。

【図10】本発明にかかるチタンポリサイド構造のゲート電極形成方法の実施例を説明するための断面図である。

【図11】温度の逆数 ($1/T$) に対するポリシリコン膜とチタンシリサイド膜の酸化速度を示すグラフである。

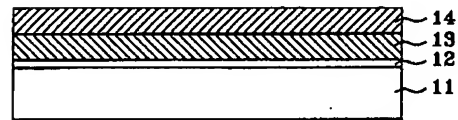
【符号の説明】

- | | |
|-----|-------------------------|
| 21 | 半導体基板 |
| 22 | ゲート酸化膜 |
| 23 | ポリシリコン膜 |
| 24 | 非晶質状態のチタンシリサイド膜 (TiSiX) |
| 24a | 結晶質状態のチタンシリサイド膜 (TiSi2) |
| 25 | マスク絶縁膜 |
| 26 | 酸化膜 |
| 200 | ゲート電極 |

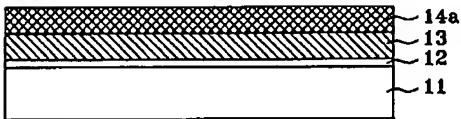
【図1】



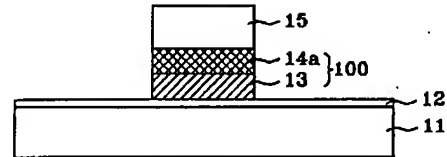
【図2】



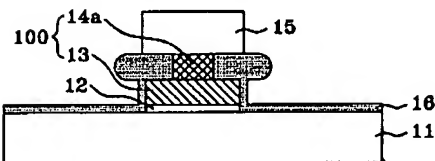
【図3】



【図4】



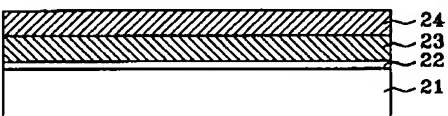
【図5】



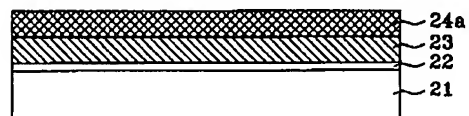
【図6】



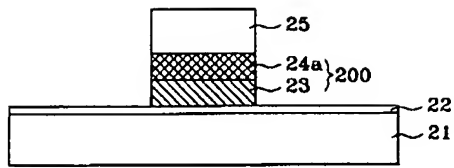
【図7】



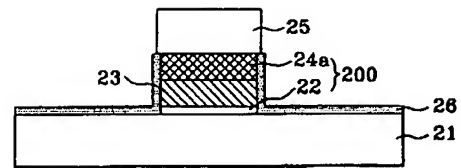
【図8】



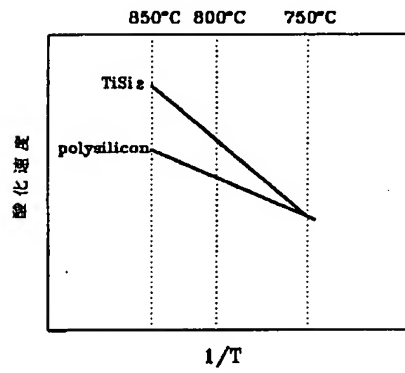
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 金 泰 均
大韓民国 高陽市 一山區 舟▲ヨプ▼
2洞 128番地 ムンチョンマウル デウ
オン アパート 1807-1201

(72)発明者 呂 寅 碩
大韓民国 京畿道 城南市 盆唐區 書▲
ヒョン▼洞 ハンシン アパート 124-
202

(72)発明者 李 相 圭
大韓民国 ソウル 瑞草區 良才 1洞
17-20番地 102号